

Parte A. DATOS PERSONALES

Fecha del CVA Febrero 2020

Nombre y apellidos	María José AVEDILLO DE JUAN		
DNI/NIE/pasaporte	Edad		
Núm. identificación del investigador	Researcher ID	Q-8001-2018	
	Código Orcid	0000-0002-8345-8441	

A.1. Situación profesional actual

Organismo	Universidad de Sevilla		
Dpto./Centro	Electrónica y Electromagnetismo		
Dirección	Sevilla, Andalucía, España		
Teléfono	954466666	Correo electrónico	avedillo@imse-cnm.csic.es
Categoría profesional	Catedrático de universidad	Fecha inicio	2010
Espec. cód. UNESCO	2203.00, 2203.07, 3307.90		
Palabras clave	Low power, low voltage, Energy efficiency, Emerging Devices, Steep Slope Devices, Tunnel transistor, HyperFETs, NCFETs		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Doctor. Física	Universidad de Sevilla	1992

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

Indicador	Medida
Sexenios de investigación	4 (último finalizado en 2012)
Tesis doctorales dirigidas	4
Índice h	15
Citas	1139

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Licenciada en Ciencias Físicas en 1987 y Doctora en Física en 1992, ambos por la Universidad de Sevilla (US). Pertenezco al Departamento de Electrónica y Electromagnetismo de la US desde 1988. Desde 1990 estoy adscrita al Instituto de Microelectrónica de Sevilla, en la actualidad centro mixto del Consejo Superior de Investigaciones Científicas y la Universidad de Sevilla. Profesora Titular de Universidad desde 1995 y Catedrática de Universidad desde 2010. Miembro del grupo de investigación TIC-178 ("Diseño y Test de Circuitos Integrados de Señal Mixta").

Mis líneas de investigación se han centran en el estudio de metodologías de diseño y test de circuitos integrados VLSI, el desarrollo de algoritmos de síntesis de máquinas de estados finitos y de técnicas de diseño para testabilidad, el estudio de lógica no booleana, tanto en lo que concierne a la realización eléctrica de su componentes, como a su utilización como modelo computacional en el diseño digital y, más recientemente, en el diseño de circuitos utilizando dispositivos emergentes.

En concreto, el principal objetivo de investigación de esta última línea, es el desarrollo, el análisis y el diseño de circuitos usando dispositivos emergentes y modelos de lógica no-convencional, con especial énfasis en aplicaciones con restricciones severas sobre la densidad de potencia y la eficiencia energética como puede ser IoT. En particular, exploramos el diseño de circuitos basados en diodos túnel resonantes (RTDs), y en dispositivos steep slope, explotándose sus características para obtener realizaciones más compactas o con mejores prestaciones de velocidad, consumo o eficiencia energética que en tecnologías CMOS convencionales.

He publicado más de 40 artículos en revistas internacionales indexadas en el JCR, más de 100 contribuciones en congresos nacionales e internacionales. He participado en 19

proyectos de investigación internacionales y nacionales, financiados por distintas administraciones y empresas.

He recibido el premio Kelvin del IET y una mención como investigadora destacada del CSIC. He sido Presidenta del Programa Técnico de dos conferencias Internacionales. He colaborado con el Plan Nacional de Investigación como Vocal de Comisiones de Selección de Proyectos.

Parte C. MÉRITOS MÁS RELEVANTES *(ordenados por tipología)*

C.1. Publicaciones

(Selección de 10 publicaciones de los últimos cinco años)

Publicación en Revista Avedillo-De, Maria Jose; Nuñez-Martínez, Juan. 2019. Power and Speed Evaluation of Hyper-FET Circuits. IEEE Access. 7, pp. 6724 – 6732.

Publicación en Revista. Avedillo-De, Maria Jose; Jiménez-través, Manuel ; Nuñez-Martínez, Juan. 2018. Phase Transition FETs for Improved Dynamic Logic Gates. IEEE Electron Device Letters. 39, pp. 1776-1779.

Publicación en Revista. Avedillo-De, Maria Jose; Nuñez-Martínez, Juan. 2017. Insights Into the Operation of Hyper-FET-Based Circuits. IEEE transactions on electron devices. 64, pp. 3912-3918.

Publicación en Revista. Avedillo-De, Maria Jose; Nuñez-Martínez, Juan. 2017. Impact of the RT₀ level architecture on the power performance of tunnel transistor circuits. International Journal of Circuit Theory and Applications. 46, pp. 647-655.

Publicación en Revista. Nuñez-Martínez, Juan; Avedillo-De, Maria Jose. 2017. Reducing the impact of reverse currents in tunnel FET rectifiers for energy harvesting applications. IEEE Journal of the Electron Devices Society. 5, pp. 530-534.

Publicación en Revista. Nuñez-Martínez, Juan; Avedillo-De, Maria Jose. 2016. Comparative Analysis of Projected Tunnel and CMOS Transistors for Distinct Logic Applications Areas. IEEE transactions on electron devices. 63, pp. 5012-5020.

Publicación en Revista. Nuñez-Martínez, Juan; Avedillo-De, Maria Jose. 2016. Comparison of TFETs and CMOS using optimal design points for power-speed trade-offs. IEEE Transactions on Nanotechnology. 16, pp. 83-89.

Publicación en Revista. Avedillo-De, Maria Jose; Nuñez-Martínez, Juan. 2015. Improving speed of Tunnel FETs logic circuits. Electronics Letters. 51, pp. 1702-1704.

Publicación en Revista. Nuñez-Martínez, Juan; Avedillo-De, Maria Jose; Quintana-Toledo, Jose Maria. 2014. Experimental Validation of a Two-Phase Clock Scheme for Fine-Grained Pipelined Circuits Based on Monoestable to Bistable Logic Elements. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 22, pp. 2238-2242.

Publicación en Proceedings Conferencia Nuñez-Martínez, Juan; Avedillo-De, Maria Jose; "Exploring Logic Architectures Suitable for TFETs Devices," International Symposium on Circuits and Systems (ISCAS). pp. 1970-1973. Baltimore (EEUU). May. 2017.

C.2. Proyectos

(Como IP en el área temática del proyecto solicitado en los últimos 5 años)

Circuitos y Arquitecturas con Dispositivos Steep Slope para Aplicaciones de muy Bajo Consumo de Potencia. MINISTERIO DE ECONOMÍA Y COMPETITIVIDAD. Avedillo de Juan y Quintana-Toledo, Jose Maria (Universidad de Sevilla). 2018-2020. 85910 EUR.

Nano-Arquitecturas para Computación Lógica Usando Dispositivos Emergentes. Ministerio De Economía Y Competitividad. Avedillo-De, Maria Jose y Quintana-Toledo, Jose Maria (Universidad de Sevilla). 2014-2017. 88935 EUR.

ARQUITECTURAS Y CIRCUITOS CON RTDS PARA APLICACIONES LÓGICAS Y NO LINEALES. Avedillo-De, Maria Jose (Universidad de Sevilla). 2011-2013. 90500 EUR.

C.3 Evaluación de actividades de investigación

- ✓ Colaboración en el Plan Nacional De I+D+i como Vocal de la sub-área Dispositivos, Circuitos y Sistemas Electrónicos de la Comisión de Selección de Proyectos de Investigación del Programa Nacional de Tecnologías Electrónicas y de las Comunicaciones en dos convocatorias.
- ✓ Participación en actividades de IC&D de proyectos europeos como miembro del comité de expertos de evaluación y seguimiento cuyo objetivo era la monitorización y evaluación de las tareas de diseminación de la información científica contempladas en los contratos de los proyectos financiados por la Comisión Europea (Acción TARDIS).

C.4 Otros méritos relacionados con la actividad investigadora

- ✓ Premio KELVIN de la sociedad IEE en su edición del año 1995.
- ✓ Mención como Investigadora Destacada del CSIC.
- ✓ Presidencia del Programa Científico de la Conference on Design of Circuits and Integrated Systems en dos ediciones (2007 y 2008)
- ✓ Miembro de la Junta de Centro del Instituto de Microelectrónica de Sevilla, IMSE-CNM (CSIC/Universidad de Sevilla) desde enero de 2016.