

Parte A. DATOS PERSONALES

Fecha del CVA 25/03/2021

Nombre y apellidos	FRANCISCO JAVIER HORMIGO AGUILAR		
DNI/NIE/pasaporte		Edad	
Núm. identificación del investigador	Researcher ID	E-8491-2016	
	Código Orcid	0000-0002-5454-6821	

A.1. Situación profesional actual

Organismo	Universidad de Málaga		
Dpto./Centro	Arquitectura de Computadores		
Dirección	Málaga, Andalucía, España		
Teléfono	952132859	correo electrónico	fjhormigo@uma.es
Categoría profesional	Catedrático de universidad	Fecha inicio	2020
Espec. cód. UNESCO	330406		
Palabras clave	HW de aplicación específica, FPGA, aritmética de computadores		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Dr. Ing. de Telecomunicación	Universidad de Málaga	2000
Ing. de Telecomunicación	Universidad de Málaga	1996

A.3. Indicadores generales de calidad de la producción científica)

Indicador	Medida
Sexenios de investigación y transferencia	3+1
Quinquenios docentes	4
Tesis dirigidas	5
Citas totales:	353
Índice H	11

Datos extraídos de Scopus

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Referente a la difusión de su investigación tiene 21 publicaciones en revistas internacionales indexadas en el JCR, 10 de ellas en revistas del primer tercil. Además, ha publicado 2 capítulos de libro correspondientes a una selección de los mejores trabajos presentados en sendos congresos internacionales, y uno en un libro de carácter nacional. También ha presentado más de 40 trabajos en diferentes congresos internacionales de reconocido prestigio, obteniendo el "Best Paper Award" en el congreso ICCD 2013.

En estos 20 años, como miembro del grupo de investigación reconocido por la Junta de Andalucía TIC113, ha participado de forma continuada en 8 proyectos de investigación de convocatorias competitivas del plan nacional de investigación que abarcan todo este periodo. Además esta actividad se ha complementado con la participación en 4 proyectos competitivos autonómicos, siendo el IP de uno de ellos y otro nacional de menor envergadura. Concretamente fue IP de un Proyecto de Investigación de Excelencia de la Junta de Andalucía, desde 1 de febrero de 2008 hasta el 31 de diciembre de 2012, coordinando a 11 investigadores de las Universidades de Málaga, Córdoba y Politécnica de Madrid, y financiado con 97.200 euros. También fue co-IP del Proyecto HORTSOST del I Plan Propio de Smart-Campus de la Universidad de Málaga, en 2019-2020.

Respecto a la transferencia de resultados de investigación, es primer inventor de 5 patentes concedidas a la Universidad de Málaga en 2015 con examen previo. Además, estas patentes están en tramitación en EEUU. Además, es primer inventor de una patente concedida a la Universidades de Málaga y San Pablo CEU en 2016. También ha sido responsable de dos contratos al amparo del Art. 83 de la LOU con la empresa INGELABS S.L. por un importe total de unos 25.000 euros.

Ha realizado 4 estancias de investigación de 3 meses de duración en centros de investigación internacionales, dos predoctorales (1998 y 1999) en Lehigh University (Estados Unidos) financiadas por el MEC y dos posdoctorales. De estas últimas, una en el centro de

investigación de circuitos integrados de TU-Munchen (Alemania) en 2001, financiado por el Servicio Alemán de intercambio académico (DAAD). La última en 2007, en la universidad de Madison-Wisconsin (Estados Unidos), financiada por el MEC, dentro del programa de Estancias de profesores e investigadores senior en centros extranjeros.

Actualmente es Editor Asociado de la revista IEEE Transactions on Computers, una de las revistas más importantes en el área de arquitectura de computadores. Además fue *Program Chair* en el 23rd IEEE Symposium on Computer Arithmetic (2016) y miembro del comité de programa desde 2015 y del Steering comité desde 2016. También es, desde 2015, miembro del comité de evaluadores de solicitudes de becas del "Servicio Alemán de Intercambio Académico (DAAD)" en España.

Ha co-dirigido cuatro tesis doctorales y dirigido una en solitario, tres presentadas en la Universidad de Córdoba y dos en la Universidad de Málaga siendo una doctorado europeo. En todas ellas el candidato obtuvo la calificación de Sobresaliente cum laude.

Parte C. MÉRITOS MÁS RELEVANTES (últimos 5 años)

C.1. Publicaciones en revistas JCR

1. **Publicación en Revista** Hormigo, Javier ; Muñoz, Sergio D. 2020. Efficient Floating-Point Givens Rotation Unit, Circuits, Systems, and Signal Processing. Early access.
2. **Publicación en Revista** Sonia Gonzalez-Navarro, Javier Hormigo. 2020. New Results on Non-normalized Floating-point Formats. IEEE Transactions on Computers, 69:12, pp 1733-1744.
3. **Publicación en Revista**. Villalba-Moreno, Julio; Hormigo, Javier; González-Navarro, Sonia. 2019. Fast HUB Floating-point Adder for FPGA. IEEE Transactions on Circuits and Systems II, 66:6, pp. 1028-1032.
4. **Publicación en Revista**. Villalba-Moreno, Julio; Hormigo, Javier; Gonzalez-Navarro, Sonia. 2018. Unbiased Rounding for HUB Floating-point Addition. IEEE Transactions on Computers. 67:9, pp. 1359 – 1365.
5. **Publicación en Revista**. J. Hormigo, J. Muller, S. Oberman, N. Revol, A. Tisserand and J. Villalba-Moreno, "Introduction to the Special Issue on Computer Arithmetic," in IEEE Transactions on Computers, vol. 66, no. 12, pp. 1991-1993, 1 Dec. 2017.
6. **Publicación en Revista**. Hormigo, Javier; Villalba-Moreno, Julio. 2017. HUB Floating Point for Improving FPGA Implementations of DSP Applications. IEEE Transactions on Circuits and Systems II. 64: 319-323.
7. **Publicación en Revista**. Hormigo, Javier; Villalba-Moreno, Julio. 2016. Measuring Improvement When Using HUB Formats to Implement Floating-Point Systems Under Round-to-Nearest. IEEE Transactions on Very Large Scale Integration (VLSI) Systems. 24: 2369-2377.
8. **Publicación en Revista**. Hormigo, Javier; Villalba-Moreno, Julio. 2016. New Formats for Computing with Real-Numbers under Round-to-Nearest. IEEE Transactions on Computers. 65: 2158-2168.

C.2. Proyectos

1. P18-FR-3130. Planificación de aplicaciones en arquitecturas heterogéneas con aceleradores, Plan Andaluz de Investigación, Desarrollo e Innovación, IP: Nicolás Guil Mata, 2020-2023.79800 EUR.
2. HORTSOST. El huerto como recurso para ensayar la gestión sostenible del agua, el suelo y la diversidad en el campus. I Plan Propio de Smart-Campus de la Universidad de Málaga, IPs: Miguel A. Quesada Felices y Javier Hormigo, 2018-2019. 36.194 EUR. colP

3. TIN2016-80920-R. Arquitecturas de altas prestaciones para aplicaciones intensivas en datos. MINECO. Plata-González, Oscar (Universidad de Málaga). 2016-2019. 405.471 EUR.
4. TIN2013-42253-P. "Arquitecturas, Compiladores y Aplicaciones en Multiprocesadores", MINECO, IP: Emilio López Zapata, Universidad de Málaga, 2014-2016. 207.878 EUR. Investigador.
5. P12-TIC-1692. Reconocimiento de eventos en vídeo usando arquitecturas de alto rendimiento, Junta de Andalucía, P.Excelencia 2012, IP: Guil-Mata, Nicolás (Universidad de Málaga). 2014-2017. 154.054 EUR. Investigador.
6. P12-TIC-1741. "Aceleración en GPU del procesamiento de datos genómicos e imágenes biomédicas de alta resolución", Junta de Andalucía, P.Excelencia 2012, IP: Manuel Ujaldón Martínez (Universidad de Málaga). 2014-2017. 85.010 EUR. Investigador.
7. TIN2010-16144. Arquitecturas, Compiladores y Aplicaciones en Multiprocesadores. 2011-2013. ,IP: López-Zapata, Emilio (Universidad de Málaga). 2011-2015. 610.082 EUR. Investigador.

C.4. Patentes concedidas

1. Hormigo, Javier; Villalba-Moreno, Julio. Multiplicadores coma flotante y conversores asociados, ES2546895B2, 2015.
2. Hormigo, Javier; Villalba-Moreno, Julio. Dispositivos coma flotante y conversores, ES2546898B2, 2015.
3. Hormigo, Javier; Villalba-Moreno, Julio. Sumadores coma flotante y conversores, ES2546916B2, 2015.
4. Hormigo, Javier; Villalba-Moreno, Julio. Unidades aritméticas en coma fija y conversores asociados, ES2546915B2, 2015.
5. Hormigo, Javier; Villalba-Moreno, Julio. Dispositivos para operaciones de multiplicación-suma fusionadas en coma flotante y conversores asociados, ES2546899B2, 2015.
6. Hormigo, Javier; Caffarena-Fernandez, Gabriel; García, J. Manuel. Sistema y método para la optimización de anchos de palabra de circuitos digitales mediante simulaciones bit-true, ES2562072B1, 2016.

C.5. Participación en organización y comités en revistas y congresos internacionales

1. Editor Asociado del IEEE Transactions on Computers desde 2020
2. Miembro del comité de programa del IEEE Symposium on Computer Arithmetic desde 2015 hasta la actualidad y Program Chair en 2016.

C.6. Tesis doctorales dirigidas

1. SERGIO DAVID MUÑOZ CAPÓ, "Aceleración de la computación en altas prestaciones mediante FPGA", Universidad de Málaga, 2017.